

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-017985
 (43)Date of publication of application : 17.01.2003

(51)Int.Cl. H03H 17/06
 H04L 27/00
 H04L 27/20
 H04L 27/36

(21)Application number : 2001-197714

(71)Applicant : HITACHI LTD

(22)Date of filing : 29.06.2001

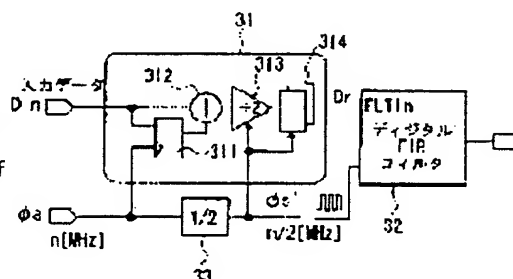
(72)Inventor : HENMI TAKAAKI
 KOKUBO MASARU

(54) SEMICONDUCTOR INTEGRATED CIRCUIT FOR MODULATION AND ELECTRONIC SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a filter that can attain downsizing and low power consumption at the same time without deteriorating operating accuracy and a modulation use semiconductor integrated circuit suited for a wireless communication system employing the filter.

SOLUTION: The modulation use semiconductor integrated circuit including digital filters (32, 131) that sample a digital transmission data signal for an odd number of times per two symbol periods to conduct a cross product arithmetic operation and a digital/analog converter circuit (132) for digital/analog converting an output of the digital filters, is provided with a correction circuit (31) that inserts a prescribed value different from two kinds of symbols to the inputs of the digital filter.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2003-17985
(P2003-17985A)

(43)公開日 平成15年1月17日(2003.1.17)

(51)IntCl. ⁷	識別記号	F I	テマコード*(参考)
H 0 3 H 17/06	6 6 1	H 0 3 H 17/06	6 6 1 A 5 K 0 0 4
	6 5 3		6 5 3
H 0 4 L 27/00		H 0 4 L 27/20	Z
27/20		27/00	Z
27/36			F
審査請求 未請求 請求項の数10 O L (全 13 頁)			

(21)出願番号 特願2001-197714(P2001-197714)

(22)出願日 平成13年6月29日(2001.6.29)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 逸見 高明

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体グループ内

(72)発明者 小久保 優

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(74)代理人 100085811

弁理士 大日方 富雄

Fターム(参考) 5K004 AA01 AA05 AA08 BA02 FE10

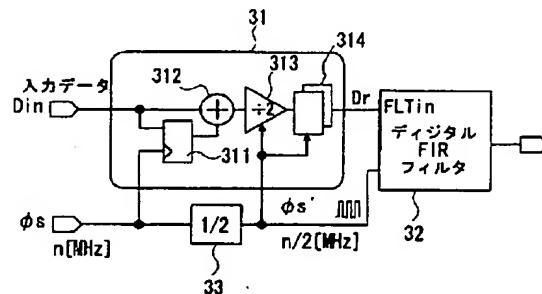
FF01 JE03

(54)【発明の名称】 変調用半導体集積回路および電子システム

(57)【要約】

【課題】 動作精度を低下させることなく小型化と低消費電力化を同時に達成できるフィルタおよびそれを用いた無線通信システムに適した変調用半導体集積回路を実現する。

【解決手段】 デジタル伝送データ信号を2シンボル周期当たり奇数回サンプリングして積和演算を行なうデジタルフィルタ(32, 131)と、該デジタルフィルタの出力をDA変換するDA変換回路(132)とを有する変調用半導体集積回路において、上記デジタルフィルタの入力に2種類のシンボルとは異なる所定値を挿入する補正回路(31)を設けるようにした。



【特許請求の範囲】

【請求項1】 デジタル伝送データ信号を2シンボル周期当たり奇数回サンプリングして所定の演算を行なうデジタルフィルタと、該デジタルフィルタの出力をDA変換するDA変換回路とを有する変調用半導体集積回路において、上記デジタルフィルタの入力に2種類のシンボルとは異なる所定値を挿入する補正回路を設けたことを特徴とする変調用半導体集積回路。

【請求項2】 上記補正回路は、上記デジタルフィルタのサンプリング周波数のN倍（Nは2以上の整数）の周波数で入力データ信号をサンプリングし、サンプリングされた前後2回の値の平均値をとって出力するように構成されていることを特徴とする請求項1に記載の変調用半導体集積回路。

【請求項3】 上記補正回路は、上記デジタルフィルタのサンプリング周波数のN倍の周波数で入力データ信号をサンプリングして1周期だけ遅延させる遅延手段と、該遅延手段で遅延された信号とそのときの入力信号とを加算する加算手段と、該加算手段の出力を1/2に割算する演算手段と、該割算手段の出力を後段のデジタルフィルタのサンプリング周期に合わせるための遅延手段とから構成されていることを特徴とする請求項2に記載の変調用半導体集積回路。

【請求項4】 上記デジタルフィルタは、上記補正回路の出力を順次サンプリングしてシフトする入力シフトレジスタと、該レジスタの各段の保持データと所定のフィルタ係数との積に相当する値を出力する複数の第1手段と、該第1手段の出力を順次加算した値を出力する複数の第2手段とを含んでなることを特徴とする請求項1～3のいずれかに記載の変調用半導体集積回路。

【請求項5】 上記デジタルフィルタの入力シフトレジスタの段数は7段であることを特徴とする請求項4に記載の変調用半導体集積回路。

【請求項6】 上記フィルタ係数は5ビットであることを特徴とする請求項4に記載の変調用半導体集積回路。

【請求項7】 上記DA変換回路の出力により発振周波数が制御される発振回路を備え、入力データ信号を周波数変調して出力するように構成されていることを特徴とする請求項1～6のいずれかに記載の変調用半導体集積回路。

【請求項8】 2.4GHz帯の発振信号をキャリア周波数信号とし、該発振信号を入力データ信号によって±160kHzの範囲で周波数変調して出力する場合において、上記デジタルフィルタのサンプリング周波数はおよそ6.5MHzであることを特徴とする請求項7に記載の変調用半導体集積回路。

【請求項9】 請求項1～8のいずれかに記載の変調用半導体集積回路と、デジタル信号をアナログ信号に変換し変調して無線送信する無線送信手段と、該無線送信手段の動作に必要なクロック信号を生成する水晶発振回

路とを備えた電子システムであって、上記水晶発振回路で生成されたクロック信号に派生して生成されたクロック信号が上記デジタルフィルタのサンプリングクロックとして用いられることを特徴とする電子システム。

【請求項10】 上記無線送信手段は、信号をデジタルデータに変換して無線通信に適した信号を生成するベースバンド回路と、該ベースバンド回路からのデジタルデータ信号を高周波信号に変調して出力する高周波変調回路とから構成され、上記水晶発振回路で生成されたクロック信号は上記高周波変調回路に供給され、該高周波変調回路で分周されたクロック信号が上記ベースバンド回路および上記変調用半導体集積回路に供給されるように構成されていることを特徴とする請求項9に記載の電子システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、デジタルフィルタ回路特にFIR (Finite Impulse Response) 型フィルタの小型化に適用して有効な技術に関し、例えばブルー투스のような無線通信システムの送信系に設けられるガウスフィルタに利用して有効な技術に関する。

【0002】

【従来の技術】 無線通信用LSI（大規模半導体集積回路）の開発に当たっては、特に携帯用に使用されるLSIに関しては低消費電力化と小型化が最も重視される。ところで、無線通信システムにおいてはアナログ信号を扱うのでフィルタの導入が不可欠であり、無線通信システムを構成するフィルタに対しても小型化と低消費電力化が要求される。一方、デジタル通信技術の進展に伴ない、無線通信システムにおいてはデジタルフィルタが採用されることが多くなって来ている。

【0003】 デジタルフィルタは、フィードバックをかけないFIR型フィルタとフィードバックをかけるIIR (Infinite Impulse Response) 型フィルタとに分かれる。図12に、デジタルFIRフィルタの基本構成を示す。図に示すように、デジタルFIRフィルタは、入力データを取り込むレジスタ部REGと、取り込まれた入力データにフィルタ係数を掛け合わせてそれらの和をとる積和演算部MACとから構成されている。入力データに掛け合わされるフィルタ係数は一般にタップ係数と、またレジスタ部の段数はタップ長と呼ばれる。

【0004】 一般的なデジタルFIRフィルタの場合、回路の論理規模はタップ長とタップ係数の量子化数と積和演算器が扱うビット数とで決まる。また、フィルタの消費電力は、回路の論理規模の大きさと入力データのサンプリング周波数によって決まる。従って、デジタルフィルタの小型化と低消費電力化を図るには、これらのパラメータをいかに少なく抑えるかが重要となる。しかしながら、これらのパラメータを少なくするとフィルタの精度は低くなってしまふ。

【0005】

【発明が解決しようとする課題】従来、デジタルFIRフィルタを小型化する技術として、例えば動作周波数のN倍の周波数でサンプリングを行ない各タップ係数の積和演算を時分割で行なうことで積和演算器の削減を図るようにした発明が提案されている（特開2000-40942号公報）。しかしながら、この先願発明にあっては、動作精度を落とすことなく積和演算器の数を抑えることはできるが、サンプリング周波数を高くしているため消費電力を低減することはできないという課題がある。

【0006】そこで、本発明者らは、サンプリング周波数を下げることで、およびデジタルFIRフィルタのタップ長すなわち入力データを取り込む段数を減らすことを検討した。サンプリング周波数を下げるには、サンプル周波数を2分周、4分周・・・のように2のn乗分周するのが最も容易かつ小規模の論理回路増加に抑えられる手法である。

【0007】ここで入力データに対するサンプリング回数が奇数の場合、これをさらに2分周すると「2シンボル周期当たり奇数回サンプリングする」場合に相当する。本発明はこのような場合に有効な手法について述べたものであり、例えばGSM (Global System for Mobile Communication) 規格で使用されている13MHzのサンプリング周波数を2分周して6.5MHzとした場合などがこれにあたる。ブルートゥースをGSMに採用した場合、クロックはGSMシステムの源クロックと同じ13MHzを基準に動作する（源クロックである水晶発振器を共有する）のが一般的であるため、この13MHzクロックの2分周である6.5MHzのサンプル周波数についてブルートゥースの規格に適合したタップ数とタップ量子化数を求めることを検討した。

【0008】さて上記の6.5MHzサンプル周波数に関してブルートゥースの送信系の規格を満たすFIRフィルタのタップ長の実現解の有無について検討した結果、デジタルFIRフィルタのサンプル周波数6.5MHzの場合でもタップ数、ビット量子化によっては送信電力の規格を満足できることが分かった。ところが上記デジタルFIRフィルタの構成にした場合、キャリア周波数に偏差を持つことが判明し、問題となった。

【0009】また、アイパターンと呼ばれる特性（受信データが“1”か“0”かの判定の正誤率を反映する）において、波形歪みの大小に応じて変化するアイ開口度が、著しく劣化する現象が生じた。そこで、その原因を追求したところ、原因は任意の2シンボル内におけるデータのサンプリング回数に偏りがあり、その偏りが原因でフィルタの出力の見かけ上の中心位置が0からずれるためであることを見出した。

【0010】なお、ここで、アイパターンとは、例えば図13(A)に示すような+1と-1（あるいは1と

0）のデータ列を送信するときに、1ビットのデータを表わす1シンボル周期の信号を、2シンボル周期ごとに抽出して重ね合わせて表示したときに現われる図13

(B)に示すようなパターンである。また、アイ開口度とは、上記アイパターンにおいて、+1または-1の連続送信時における中心からの変位量を Δf_1 とし、データが+1から-1あるいは逆に+1から-1へ変化するときのピーク時の変位量を Δf_2 としたときに、 $\Delta f_2 / \Delta f_1$ で表わされる値を意味する。

【0011】図13では、一例として、2.4GHzをキャリア周波数としこれをプラス160kHzだけ周波数変調した信号でデータ+1を送信し、マイナス160kHzだけ周波数変調した信号でデータ-1を送信する場合を示しているが、アイパターンで表わせるのはこのような場合に限定されるものでなく、周波数変調を用いる無線通信分野では広く一般的に用いられているものである。

【0012】この発明の目的は、上記のような課題を解決するためになされたもので、動作精度を低下させることなく小型化と低消費電力化を同時に達成できるフィルタおよびそれを用いた無線通信システムに適した変調用半導体集積回路を提供することにある。

【0013】この発明の他の目的は、携帯用電子機器に適した小型かつ低消費電力の無線通信システムを提供することにある。

【0014】この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

【0015】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。すなわち、デジタル伝送データ信号を2シンボル周期当たり奇数回サンプリングして所定の演算を行なうデジタルフィルタと、該デジタルフィルタの出力をDA変換するDA変換回路とを有する変調用半導体集積回路において、上記デジタルフィルタの入力に2種類のシンボルとは異なる所定値を挿入する補正回路を設けるようにしたものである。

【0016】上記した手段によれば、データのサンプリングに偏りをなくし、フィルタの出力の見かけ上の中心を0の近傍に位置させることができ、これによってアイ開口度を高めることができるとともに、周波数変調では初期周波数のバラツキを小さくすることができるようになる。

【0017】また、望ましくは、上記補正回路は、上記デジタルフィルタのサンプリング周波数のN倍の周波数で入力データ信号をサンプリングし、サンプリングされた前後2回の値の平均値をとって出力するように構成する。これにより、比較的簡単な回路の追加で、デジタルフィルタの入力に2種類のシンボルとは異なる所定

値を挿入することができる。ここで、Nは2以上の整数を示している。

【0018】さらに、望ましくは、上記補正回路は、上記デジタルフィルタのサンプリング周波数のN倍の周波数で入力データ信号をサンプリングして1周期だけ遅延させる遅延手段と、該遅延手段で遅延された信号とそのときの入力信号とを加算する加算手段と、該加算手段の出力を $1/2$ に割算する演算手段と割算された出力を後段に続くデジタルフィルタのサンプル周波数に合わせるための遅延手段とから構成する。これにより、デジタルフィルタに入力される所定値として、2種類のシンボルの平均をとった値を生成して挿入することができる。

【0019】また、上記デジタルフィルタは、上記補正回路の出力を順次サンプリングしてシフトする入力シフトレジスタと、該レジスタの各段の保持データと所定のフィルタ係数との積に相当する値を出力する複数の第1手段と、該第1手段の出力を順次加算した値を出力する複数の第2手段とを含むように構成する。これにより、既存のデジタルFIRフィルタを用いることができ、設計が容易となる。

【0020】さらに、上記デジタルフィルタの入力シフトレジスタの段数は7段とする。これにより、レジスタの段数を減らし、小型化と低消費電力化を同時に達成できるフィルタおよびそれを用いた無線通信に適した変調用半導体集積回路を実現することができる。

【0021】また、上記フィルタ係数は5ビットとする。これにより、入力データとフィルタ係数との演算を行なう演算手段の規模を小さくことができ、小型化と低消費電力化を同時に達成できるフィルタおよびそれを用いた無線通信に適した変調用半導体集積回路を実現することができる。

【0022】さらに、デジタルFIRフィルタ出力をDA変換回路の出力により発振周波数が制御される発振回路を設ける。これにより、入力データ信号を周波数変調して出力する周波数変調方式の変調用半導体集積回路を実現することができる。

【0023】また、望ましくは、2.4GHzの発振信号をキャリア周波数信号とし、該発振信号を入力データ信号によって $\pm 160\text{kHz}$ の範囲で周波数変調して出力する場合において、上記デジタルフィルタのサンプリング周波数を6.5MHzとする。これにより、ブルートゥースの規格で規定されている条件を満たす回路の小型化および低消費電力化を達成することができる。

【0024】さらに、本発明に係る電子システムは、上記のような構成を有する変調用半導体集積回路と、信号をデジタルデータに変換し変調して無線通信する無線通信手段と、該無線送信手段の動作に必要なクロック信号を生成する水晶発振回路とを備え、上記水晶発振回路で生成されたクロック信号に派生して生成されたクロッ

ク信号を上記デジタルフィルタのサンプリングクロックとして用いるようにしたものである。これによって、水晶発振回路の共用化を図ることができ、システムのコストダウンを達成することができる。

【0025】また、上記無線通信手段は、信号をデジタルデータに変換して無線通信に適した信号を生成するベースバンド回路と、該ベースバンド回路からのデジタルデータ信号を高周波信号に変調して出力する高周波変調回路とから構成し、上記水晶発振回路で生成されたクロック信号は上記高周波変調回路に供給させ、該高周波変調回路で分周されたクロック信号を上記ベースバンド回路および上記変調用半導体集積回路に供給させるように構成してもよい。このようにしても、水晶発振回路の共用化を図ることができ、システムのコストダウンを達成できるとともに、既存の高周波変調回路を利用して例えばブルートゥース規格で規定されているような無線通信機能を有する携帯電話器などの電子機器を安価に提供することができる。

【0026】

【発明の実施の形態】以下、本発明の好適な実施例を図面に基づいて説明する。図1には、本発明に係る変調用半導体集積回路を利用して好適な無線通信システムの構成例が示されている。図1において、ATは信号電波の送受信アンテナ、SWは送受信切替用のスイッチ、110はアンテナATより受信された信号を中間周波数にダウンコンバートしてから増幅、復調しベースバンド信号に変換する受信系回路110、130はアンテナATより送信するベースバンド信号を変調し周波数変換する送信系回路である。

【0027】送信系回路130は、入力矩形波信号をサンプリングして変調のためのコードを生成するガウスフィルタ131と、該フィルタの出力をDA変換して階段波形の信号を生成するDA変換回路132と、生成された階段波形の信号を滑らかな波形にするローパスフィルタ133と、電圧制御発振回路(VCO)からなりローパスフィルタ133の出力電圧により発振周波数が制御されることで変調を行なう周波数変換回路134と、周波数変換された信号を受けて送信電力に見合う程度の信号増幅をパワーアンプ135で行い信号の送信を行うシステム構成例である。

【0028】さらに、この実施例の送信系回路130には、上記VCO134の出力を分周するカウンタ136と、該カウンタ136の出力の位相と例えば13MHzのような基準クロック ϕ_c の位相とを比較して位相差に応じた電圧を発生して上記VCO134の発振周波数を制御する位相比較回路137とが設けられており、VCO134とカウンタ136と位相比較回路137とでPLL回路が構成され、キャリア周波数を発生する。そして、送信データを反映しているローパスフィルタ133の出力電圧によりVCO134への制御電圧を変化させ

ることで発振周波数信号を変調させるように構成されている。

【0029】また、この実施例の無線通信システムでは、上記カウンタ136が計数すべきカウント値をベースバンド回路350からの指令で変更することにより、キャリア周波数を可変にすることができる。例えば1MHzのような単位でずらして(可変にして)、いわゆる周波数ホッピングによるスペクトラム拡散方式のデータ送信を行なうことができるようにされている。

【0030】受信系回路110は、アンテナATより受信された信号を増幅する低雑音増幅回路(LNA)111と、増幅された受信信号と上記送信側VCOからの発振信号とを合成することで中間周波数(例えば2MHz)の信号にダウンコンバートするミキサ(MIX)112と、隣接チャネルからの漏洩信号を除去して当該チャネルの信号成分を抽出するバンドパスフィルタ113と、信号を所定の振幅まで増幅する利得可変なプログラマブル・ゲイン・アンプ(AGC)114と、アナログ信号をデジタル信号に変換するAD変換回路115と、受信データを復調する復調回路116と、復調された信号から高周波成分(ノイズ)を除去してベースバンド回路350へ受信データを渡すローパス・フィルタ(LPF)117などから構成される。

【0031】図2には、上記送信系回路130を構成するガウスフィルタ131として用いられるデジタルFIRフィルタの一実施例を示す。この実施例のフィルタは、図2に示されているように、デジタルFIRフィルタ32の前段に周波数オフセット補正回路31を設けて、この周波数オフセット補正回路31のうち311、312を入力サンプリングクロック ϕ_s で動作させたものをデジタルFIRフィルタの入力サンプリングクロック $\phi_s/2$ で出力し直し、周波数オフセット補正回路31で入力データを補正してデジタルFIRフィルタ32に入力させるとともに、入力サンプリングクロック ϕ_s を分周回路33で $1/2$ に分周したクロック $\phi_{s'}$ によってデジタルFIRフィルタ32を動作させるようにしたものである。

【0032】上記周波数オフセット補正回路31は、入力サンプリングクロック ϕ_s の立上がりもしくは立ち下がりに同期して入力データをラッチするD型フリップフロップからなる遅延回路311と、該遅延回路311で遅延された1周期前の入力データと現在入力データとを加算する加算器312と、加算された値を $1/2$ にする割算器313と割算器の出力を後段のフィルタのサンプル周期に合わせる遅延手段314により構成されている。そして、この割算器313の出力が「1」か「-1」かあるいは $1/2$ である「0」かを示す2ビットの信号Drが、デジタルFIRフィルタ32に入力される。

【0033】一方、この実施形態で使用されるディジタ

ルFIRフィルタは、図3に示されているように各々6個のフリップフロップFF11~FF16; FF21~FF26が直列形態に接続されてなる2つのシフトレジスタにより入力レジスタ部REGが構成されているとともに、上記各段のフリップフロップFF11、FF12~FF16、FF26に対応してフィルタ係数との掛算を行なう7個の乗算器MLT1~MLT7と乗算器MLT1、MLT2、……MLT7の出力の和を順次とる加算器ADD1~ADD6とで積和演算部MACが構成されている。

【0034】そして、上記フィルタ係数は符号付きのタップ係数であり、本実施例では5ビットで構成されているとともに、5ビットのうち1ビットは正または負を表わす符号として用いられる。正の符号を持つフィルタ係数が入力データに掛け合わされると演算結果は増加し、負の符号を持つフィルタ係数が入力データに掛け合わされると演算結果は減少する。これによって、フィルタ出力をDA変換した結果は階段波形となる。

【0035】図4に、上記周波数オフセット補正回路31の動作タイミングチャートが示されている。図4において、(A)は入力データDin、(B)は例えば13MHzのようなサンプリングクロック ϕ_s 、(C)は周波数オフセット補正回路31の出力Dr、(D)は例えば6.5MHzのような分周クロック $\phi_{s'}$ 、(E)はデジタルFIRフィルタ32への実質的な入力波形となる。 $\phi_{s'} = \phi_s/2$ である。ここで ϕ_s を奇数とすれば、 $\phi_s = \phi_{s'}/2$ は[請求項1]で記載した「2シンボル内で奇数回のサンプリングを行う」場合に相当する。

【0036】今、タップ長nのデジタルFIRフィルタに対して図4(B)でのサンプリング周波数 $\phi_s = 2m+1$ (mは負でない整数)の場合において $m < n$ のときを考える。

【0037】図4(A)のようにデータ幅1 μsec (転送速度1Mbps)で+1または-1に変化する入力データDin(例えばブルートゥースにおける1Mbpsデータ)を、図4(B)の13MHzのサンプリングクロック ϕ_s で周波数オフセット補正回路31に取り込ませて補正動作を行なわせると、周波数オフセット補正回路31からは図4(C)のように入力データの-1から+1への変化点および+1から-1への変化点でそれぞれそれらの平均値である「0」の値を出力する。

【0038】そして、この周波数オフセット補正回路31の出力値を、サンプリングクロック ϕ_s を $1/2$ に分周した図4(D)のクロック $\phi_{s'}$ でデジタルFIRフィルタ32へ取り込ませると、デジタルFIRフィルタ32の実質的な入力波形FLTinは、図4(E)のように、+1と-1がそれぞれ同一周期(m)だけ続き、データが「+1」から「-1」に変化する時に $\phi_{s'}$ の1周期だけ「0」となるような波形となる。これ

より、デジタルFIRフィルタ32への入力データの+1の取り込みと-1の取り込みに偏りが生じていないことが分かる。

【0039】なお、図4には、データが“+1”から“-1”に変化する時に周波数オフセット補正回路31の出力“0”がフィルタに取り込まれる場合のタイミングが示されているが、(B)と(D)の位置関係によっては、図5(E)のように、データが“-1”から“+1”に変化する時に周波数オフセット補正回路31の出力“0”がフィルタに取り込まれる場合もある。ただし、ある短い時間に着目すると、このような動作が連続することとなる。そして、この場合にもデジタルFIRフィルタ32への入力データの+1の取り込みと-1の取り込みに偏りが生じない。

【0040】これに対し、周波数オフセット補正回路が設けられていない場合に、データ幅1 μsec (転送速度1 Mbps) で+1または-1に変化する入力データ $D_i n$ を、6.5 MHzのサンプリングクロック $\phi s'$ ($= \phi s / 2$) でデジタルFIRフィルタ32へ取り込ませたとすると、ある短い時間内では、図6(C)のようにデータ“+1”を m 周期だけ取り込み、データ“-1”を m 周期だけ取り込み続ける場合と、図7(C)のようにデータ“+1”を m 周期だけ取り込み、データ“-1”を $(m+1)$ 周期取り込み続ける場合とが生じる。

【0041】このような場合には、デジタルFIRフィルタ32の出力をDA変換するDA変換器132の出力波形は、“+1”を取り込むことが多い図6の場合には全体的にプラス側にずれる。つまり、DA変換器の出力波形は、図6(D)のように、最大値MAXが $(m+1)$ 、最小値MINが $-(m-1)$ で、見かけ上のセンタ位置がプラス側にずれたサイン波状の階段波形となるが、“-1”を取り込むことが多い図7の場合には全体的にマイナス側にずれる。つまり、DA変換器の出力波形は、図7(D)のように、最大値MAXが $(m-1)$ 、最小値MINが $-(m+1)$ で、見かけ上のセンタ位置がマイナス側にずれたサイン波状の階段波形となる。なお、デジタルFIRフィルタ32が“+1”または“-1”を取り込み続けた場合、その出力値は上がり続けるまたは下がり続けるわけではなく、図6(D)又は図7(D)のように+160 kHzまたは-160 kHzに対応するある最大値で飽和するようにフィルタ係数が設定されている。

【0042】一方、本実施例のように周波数オフセット補正回路31が設けられた場合には、前述したようにデジタルFIRフィルタ32への入力データの+1の取り込みと-1の取り込みに偏りが生じないため、DA変換器の出力波形は、図4(F)または図5(F)のように、最大値MAXが m 、最小値MINが $-m$ で、見かけ上のセンタ位置が「0」であるサイン波状の階段波形と

なる。その結果、あるデジタルFIRフィルタのパラメータではアイパターンは、周波数オフセット補正回路31が設けない場合には図8(A)のように開口度が80%以下と劣化していたものが、周波数オフセット補正回路31が設けた場合には図8(B)のように開口度が改善され、80%以上となる。よって、周波数オフセット補正回路31を設けることが有効であることが分かる。周波数オフセット補正回路31の出力は、“+1”と“-1”と“0”を区別するために2ビットで構成される。

【0043】次に、本実施例のデジタルFIRフィルタ32のサンプリング周波数と、タップ長と、フィルタ係数のビット数について説明する。ブルートゥース規格の規格では、送信電力に関して、図9のように、①キャリア周波数(例えば2.4 GHz)を中心に $\pm 0.55 \text{ MHz}$ ($= 550 \text{ kHz}$)での相対減衰量が $-20 \text{ dB} / 0.1 \text{ MHz}$ 以上であること、②キャリア周波数2.4 GHzを中心に $\pm 2 \text{ MHz}$ での絶対減衰量が $-20 \text{ dB} / 1 \text{ MHz}$ 以上であること、③キャリア周波数2.4 GHzを中心に $\pm 3 \text{ MHz}$ 以上での絶対減衰量が $-40 \text{ dB} / 1 \text{ MHz}$ 以上であることの3つの条件が要求される。これは、ブルートゥース規格では、送信方式として2.4 GHz~2.48 GHzの周波数帯で1 MHzごとの周波数ホッピングによるスペクトラム拡散方式が採用されており、隣接周波数帯の信号との混信を防止するためである。

【0044】送信電力に関するブルートゥース規格で規定されている上記条件を満たすために、図1に示されている送信系130のような構成において、ガウスフィルタ131について、その条件を検討した。

【0045】先ず、ガウスフィルタのサンプリング周波数としては、26 MHz、13 MHz、6.5 MHz、3.25 MHzから選定することを考えた。これは、GSM (Global System for Mobile Communication) 規格では13 MHzの周波数クロックを採用しているため、GSM規格とブルートゥース規格との併用システムを構成する際にはクロック周波数を一元化し易くなるので有利であるからである。ところで、前述したように、サンプリング周波数は低い方が消費電力を減らすことができる。そこで、本実施例においては、ガウスフィルタのサンプリング周波数を6.5 MHzに決定した。

【0046】次に、ガウスフィルタのタップ長とフィルタ係数(タップ係数)について、前記条件を満たしかつ回路の小規模化に有効な値を検討した。タップ長は小さい方が回路規模は小さくて済み消費電力も減らすことができる。そこで、本実施例では、タップ長を「7」に決定した。

【0047】タップ係数に関しては、係数が小さい方が回路規模は小さくて済み消費電力も減らすことができる。そこで、本実施例では、タップ係数を5ビットに決

定した。なお、タップ係数を5ビットにしたことに伴い、DA変換回路132のビット数も5ビットとした。従って、本実施例のガウスフィルタでは、サンプリング周波数は6.5MHz、タップ長が7タップ、タップ係数が5ビットとされている。

【0048】なお、図2の割算回路313で演算された値が“+1”または“-1”もしくは“0”のいずれであるかを判定して2ビットの信号に変換する回路と、入力レジスタ部REGに取り込まれた2ビットデータとタップ係数との演算（いわゆるビット丸め）を行なう図3に示されている積和演算器MACを構成する乗算器MLT1～MLT7は、一例として図10に示すようなハードウェアで実現することができる。

【0049】すなわち、オフセット補正回路31の出力値Drは、2つのコンパレータCMP1、CMP2の非反転入力端子に入力され、これらのコンパレータCMP1、CMP2の出力の論理積をとるANDゲートG1と、コンパレータCMP1、CMP2の出力の排他的論理和をとるイクスクルーシブORゲートG2とに入力され、ANDゲートG1の出力が入力レジスタ部REGの一方のシフトレジスタ初段のフリップフロップFF11に取り込まれるとともに、イクスクルーシブORゲートG2の出力が入力レジスタ部REGの他方のシフトレジスタ初段のフリップフロップFF21に取り込まれるように構成されている。

【0050】そして、コンパレータCMP1の反転入力端子には“+1”に対応する電圧よりも低く“0”に対応する電圧よりも高い電圧Vaが入力され、コンパレータCMP2の反転入力端子には“0”に対応する電圧よりも低く“-1”に対応する電圧よりも高い電圧Vb（-）が入力されている。これにより、コンパレータCMP1、CMP2の出力が共にハイレベルのときはオフセット補正回路31の出力値Drは“+1”であることが分かり、G1の出力が“1”、G2の出力が“0”となる。

【0051】また、コンパレータCMP1、CMP2の出力が共にロウレベルのときはオフセット補正回路31の出力値Drは“-1”であることが分かり、G1の出力が“0”、G2の出力が“0”となる。さらにコンパレータCMP1の出力がロウレベルでCMP2の出力がハイレベルのときはオフセット補正回路31の出力値Drは“0”であることが分かり、G1の出力が“0”、G2の出力が“1”となる。このゲートG1、G2の出力がサンプリングクロックφsの1/2の周波数のクロックφs'によってフリップフロップF11、F21に取り込まれて順次シフトされて行く。

【0052】乗算器MLTは、例えば図10のように2つのセレクトSEL1、SEL2で構成することができる。そして、セレクトSEL1のデータ入力端子A、Bにそれぞれデータ“+1”に対応したタップ係数Taと

データ“-1”に対応したタップ係数Tbとデータ“0”に対応したタップ係数Tcとを与えておき、選択端子Sに第1のシフトレジスタのフリップフロップF11のラッチデータD1を入力して、このデータD1（+1または-1）でタップ係数TaまたはTbのいずれかを出力させるように構成する。

【0053】一方、セレクトSEL2のデータ入力端子D、CにはそれぞれセレクトSEL1の出力とデータ“0”に対応したタップ係数Tcとを与えておき、選択端子Sに第2のシフトレジスタのフリップフロップF21のラッチデータD2を入力して、このデータD2でセレクトSEL1の出力またはタップ係数Tcのいずれかを出力させるように構成する。なお、このタップ係数が本実施例では5ビットで構成されているとともに、5ビットのうち1ビットは正または負を表わす符号として用いられる。そして、ビット係数Ta、Tb、Tcは乗算器MLT1～MLT5のそれぞれにおいて異なる値をとる。

【0054】さらに、上記セレクトSEL2は、例えば図10（B）のように、入力される係数Ta、Tbのビットに応じて一方の入力端子Aiを電源電圧端子Vccにプルアップし、他方の入力端子Biを接地端子GNDにプルダウンした単位セクタU-SELiまたは一方の入力端子Ajを接地端子GNDにプルダウンし、他方の入力端子Bjを電源電圧端子Vccにプルアップした単位セクタU-SELjを5個並べることで構成することができる。このようにセレクトの入力端子をVccまたはGNDに固定した回路の代わりに、フィルタ係数を保持するレジスタを設けておいてレジスタをセレクトで切り換えるように構成することも可能である。また、レジスタを使用することで、フィルタ係数をシステムに応じて可変にすることができるという利点がある。さらに、前記入力データレジスタREGの段数も可変にできるように構成しても良い。

【0055】図10の実施例からも分かるように、本発明を適用すると、図12に示す従来のデジタルフィルタに比べて周波数オフセット補正回路31と割算器の313の出力を判別するコンパレータCMP1、CMP2および論理ゲートG1、G2だけ回路が増加する一方、入力レジスタ部REGのフリップフロップおよび乗算器は段数が半減するものの2列になるため総数は変わらないが、加算器の数は半分になる。そのため、回路全体の規模は変わらないか加算器が半減したことで若干小さくなるとともに、フィルタ回路およびこのフィルタの出力を受けてDA変換動作するDA変換回路132の動作周波数が従来の方式に比べて約1/2にできることによって、DA変換回路のデジタル制御部の消費電力を半分減らすことができる。

【0056】図11は、前記実施例の無線通信用LSIを応用した携帯電話器の全体構成を示すブロック図であ

る。この実施例の携帯電話器は、表示部としての液晶パネル200、送受信用のアンテナ321、音声出力用のスピーカ322、音声入力用のマイクロホン323、上記液晶パネル200を駆動して表示を行なわせる液晶コントロールドライバ310、スピーカ322やマイクロホンの信号の入出力を行なう音声インターフェース330、アンテナ321を介してGSM規格方式で携帯電話通信を行なう高周波インタフェース340、アンテナ321を介してブルートゥース規格の方式で通信を行なう本発明を適用した無線通信用LSI100、音声信号や送受信信号に係る信号処理を行うDSP (Digital Signal Processor) 351、カスタム機能(ユーザ論理)を提供するASIC (Application Specific Integrated Circuits) 352、表示制御を含め装置全体の制御を行なうマイクロプロセッサもしくはマイクロコンピュータなどからなるシステム制御装置353およびデータやプログラムの記憶用メモリ360、発振回路(OSC) 370等を備えてなる。

【0057】上記DSP351、ASIC352およびシステム制御装置としてのマイコン353により、いわゆるベースバンド部350が構成される。図には、ベースバンド部350が1つだけ示されているが、高周波インタフェース340用のベースバンド部とブルートゥース規格の無線通信用LSI100のためのベースバンド部を別々に構成することも可能である。なお、図11において、371は水晶振動子のような発振素子で、発振回路370は例えば26MHzのような周波数のクロックを発生する。GSM方式のシステムクロック源となるような水晶振動子は市場において大量に流通しているため安価に手に入るので、システムのコストを下げることができる。

【0058】また、この実施例の携帯電話器システムでは、GSM規格方式で携帯電話通信を行なう高周波インタフェース340と、ブルートゥース規格の方式で通信を行なう前記実施例の無線通信用LSI100とを備えているが、現在のGSM規格方式の携帯電話通信システムでは高周波用LSIの動作クロックとして26MHzのシステムクロックを使用し、ベースバンド部にはそれを分周した13MHzのクロックを供給するようにしているものがある。一方、ブルートゥース規格の方式で通信を行なう前記実施例の無線通信用LSI100もGSMシステムに搭載されるような場合には、このシステムクロックを共有して動作するのが一般的である。

【0059】そのため、共通の発振回路(OSC) 370で発生されたシステムクロック ϕ_c を高周波インタフェース340に供給し、この高周波インタフェース340からベースバンド部350に供給される13MHzのクロック ϕ_s をブルートゥース規格の前記実施例の無線通信用LSI100にも供給して動作させることができる。あるいは、発振回路370で発生された26MHz

のクロックをGSM規格の高周波インタフェース340に供給して動作させる一方、上記26MHzのクロックを分周した13MHzのクロックをベースバンド部350とブルートゥース規格の無線通信用LSI100とに供給して動作させることができる。

【0060】これによって、ブルートゥース規格用に別の発振回路を設ける必要がなく、既存の携帯電話器にブルートゥース規格の無線通信を行なうLSIを追加してもそれに伴うハードウェアの追加量を極めて少なくすることができる。そして、このように、ブルートゥース規格の無線通信用LSI100を搭載することで、携帯電話器をトランシーバとして利用したり、携帯電話で受信したデータをプリンタで出力させたり、携帯電話器にパソコンから画像データや音声データを送信するような多様な機能を持たせることができるようになる。

【0061】また、上記高周波インタフェース340とブルートゥース規格の前記実施例の無線通信用LSI100とをノートパソコンやハンドヘルドPC、PDAなどに搭載すれば、ブルートゥース規格のパソコンや周辺装置とデータ送信する機能とインターネットに接続できる機能とを持たせることができる。

【0062】以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、上記実施例においては、ガウスフィルタを通したデータを周波数変調して送信するシステムについて説明したが、ガウスフィルタを通したデータを位相変調したり振幅変調して送信するシステムにおけるデジタルフィルタにも本発明を適用することができる。また、図2に示す実施例のオフセット補正回路31では、クロックを分周回路33で分周する前のクロック ϕ_s とそれを2分周したクロック $\phi_{s'}$ でオフセット補正回路31の遅延用フリップフロップをラッチ動作させるとともに分周回路33で分周した後のクロック $\phi_{s'}$ でデジタルFIRフィルタ32を動作させるようにしているが、オフセット補正回路31中の ϕ_s クロックで動作する部分の遅延用フリップフロップをクロックの立上がり立ち下りの両方でラッチ動作させることにより、オフセット補正回路31とデジタルFIRフィルタ32を同一のクロックで動作させるように構成することも可能である。

【0063】さらにデジタルFIRフィルタのクロック f_1 と、オフセット補正回路のクロック f_2 の位相関係によっては $f_1 = N f_2$ (N は2以上の整数)とすることも可能である。以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である無線通信システムに使用されるガウスフィルタに適用した場合について説明したが、本発明はそれに限定されるものでなく、デジタルフィルタ一般に利用することができる。

【0064】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。すなわち、動作精度を低下させることなく小型化と低消費電力化を同時に達成できるフィルタを構成することができ、これによって、携帯用電子機器に適した小型かつ低消費電力の無線通信システムを実現することができるようになる。

【図面の簡単な説明】

【図1】本発明に係る変調用半導体集積回路を利用して好適な無線通信システムの構成例を示すブロック図である。

【図2】本発明に係る変調用半導体集積回路に用いられるデジタルFIRフィルタの一実施形態を示すブロック図である。

【図3】実施形態で使用されるデジタルFIRフィルタの構成例を示す概念図である。

【図4】実施例のオフセット補正回路付きデジタルFIRフィルタの動作タイミングの一例を示すタイミングチャートである。

【図5】実施例のオフセット補正回路付きデジタルFIRフィルタの他の動作タイミングを示すタイミングチャートである。

【図6】オフセット補正回路を持たない従来タイプのデジタルFIRフィルタの動作タイミングの一例を示すタイミングチャートである。

【図7】オフセット補正回路を持たない従来タイプのデジタルFIRフィルタの他の動作タイミングを示すタイミングチャートである。

【図8】オフセット補正回路を持たない従来タイプのデジタルFIRフィルタのアイパターンと実施例のデジタルFIRフィルタのアイパターンを示す波形図である。

【図9】本発明を適用して有効なブルートゥース規格における送信電力の規格を示す周波数特性図である。

【図10】実施例のデジタルFIRフィルタで 사용되는入力データとフィルタ係数との乗算器の構成例を示す概念図である。

【図11】前記実施例の無線通信用LSIを応用した携帯電話器の全体構成を示すブロック図である。

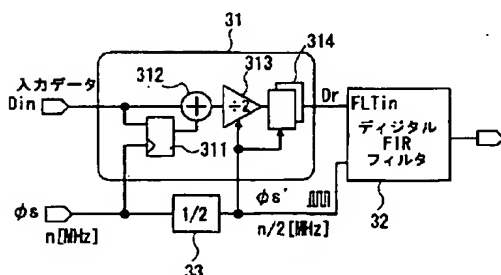
【図12】従来のデジタルFIRフィルタの構成例を示すブロック図である。

【図13】ブルートゥース規格の通信における送信データ列とアイパターンを示す波形図である。

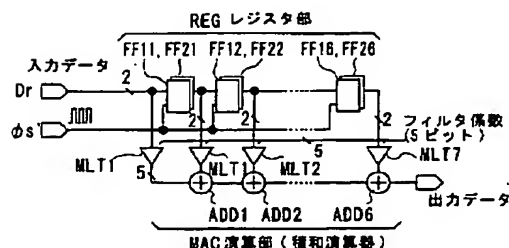
【符号の説明】

- 31 オフセット補正回路
- 32 デジタルFIRフィルタ
- 33 分周回路
- 311 遅延回路（フリップフロップ）
- 312 加算回路
- 313 割算回路
- 314 遅延回路（フリップフロップ）
- 110 受信系回路
- 111 ロウノイズアンプ
- 112 ミキサ
- 113 バンドパスフィルタ
- 114 利得可変アンプ
- 115 AD変換回路
- 116 復調回路
- 117 ロウパスフィルタ
- 130 送信系回路
- 131 ガウスフィルタ
- 132 DA変換回路
- 133 ロウパスフィルタ
- 134 周波数変換回路（VCO）
- 135 送信用パワーアンプ

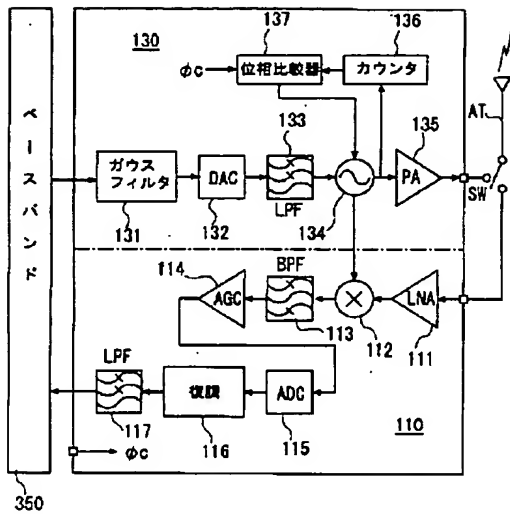
【図2】



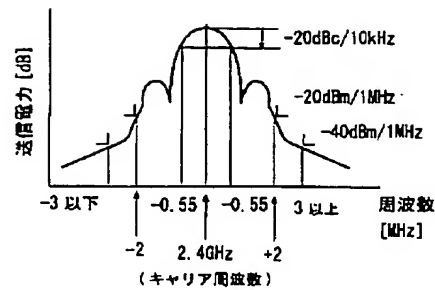
【図3】



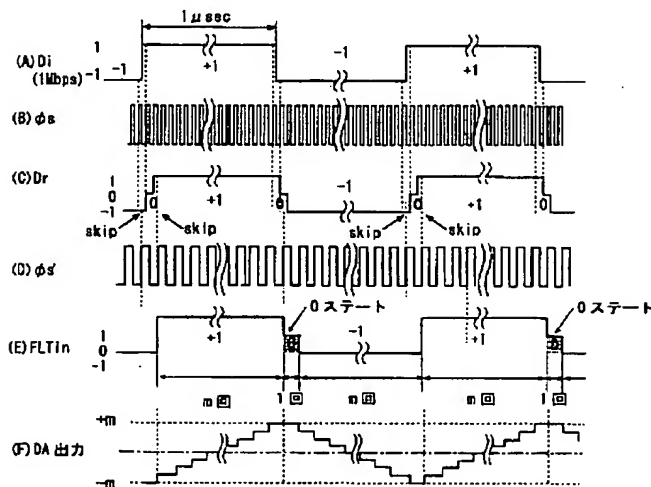
【図1】



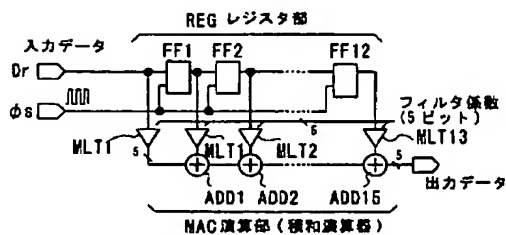
【図9】



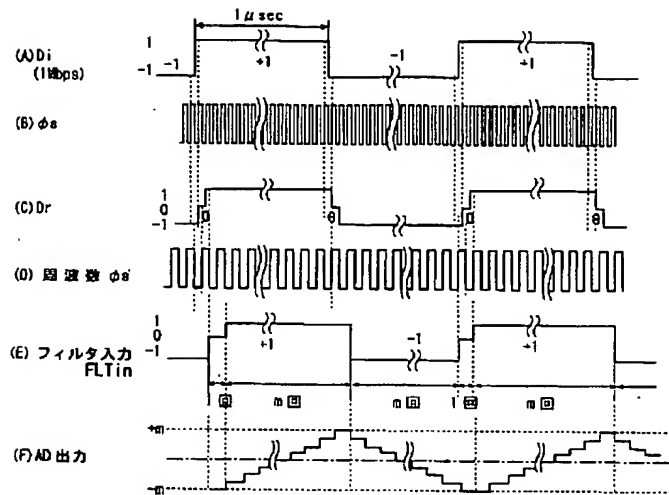
【図4】



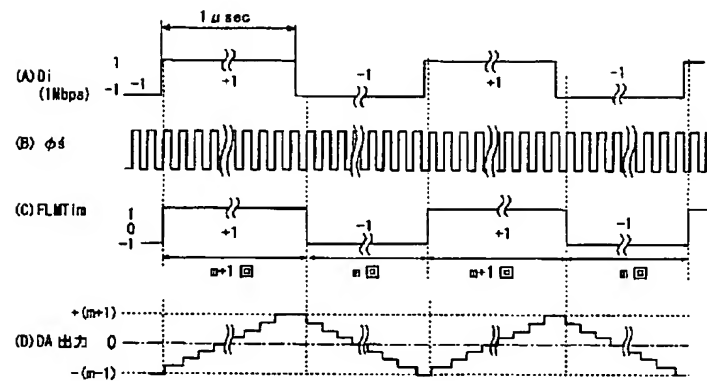
【図12】



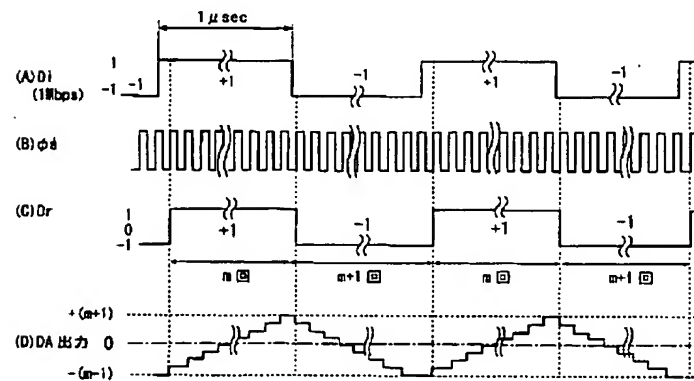
【図5】



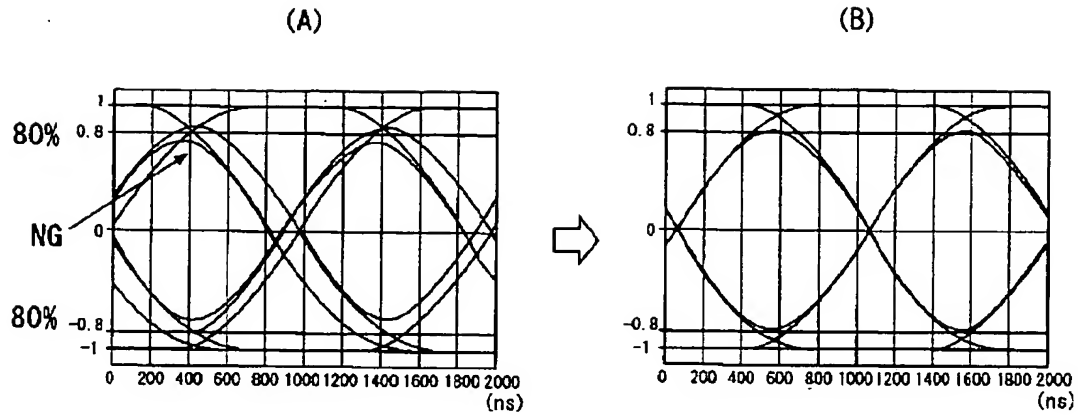
【図6】



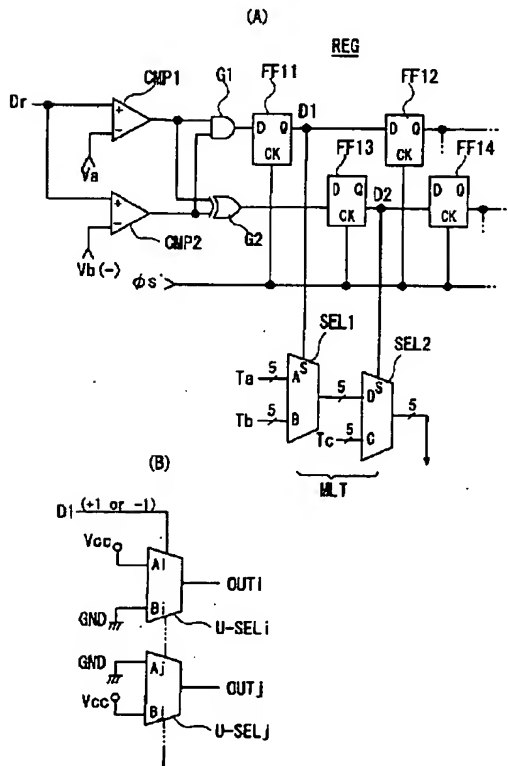
【図7】



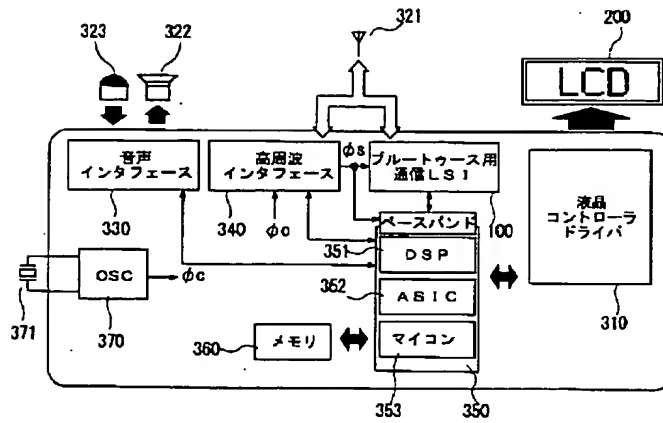
【図8】



【図10】



【図11】



【図13】

